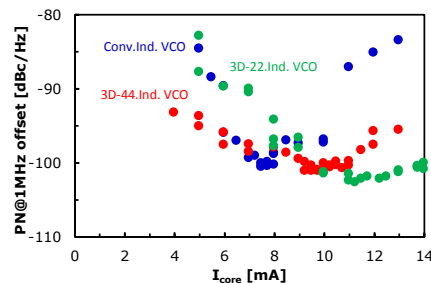


平成29年度 独創的研究助成費 実績報告書

平成30年 3月19日

報告者	学科名	情報通信工学科	職名	教授	氏名	伊藤 信之
研究課題	無線センサネットワークのためのセンサ回路・通信回路に関する研究					
研究組織	氏名	所属・職	専門分野	役割分担		
	代表	伊藤信之	情報通信工学科教授	集積回路	回路提案担当・リーダー	
	分担者	北野大志	システム工学専攻博士前期課程2年	集積回路	回路設計・検証担当	
坂本裕太		システム工学専攻博士前期課程1年	集積回路	回路設計・検証担当		
研究実績の概要	<p>申請書の内容にしたがい、それぞれのこの1年間の成果に関して下記に記す。</p> <p>1.無線センサ用24GHz 増幅器 昨年までの研究状況では、f_Tダブラー回路のトランジスタ部分の有用性を確認した。今年度の目標は、f_Tダブラー回路のトランジスタ部分の最適化およびそれを利用した増幅器の設計であり、更にチップ試作とのタイミングが合えば、レイアウト設計、試作、評価を行う予定であった。今年度は、f_Tダブラー回路のトランジスタ部分の最適化に多くの時間を要し、チップ試作とのタイミングは合わなかったが、増幅器の設計結果を得ることができた。</p> <p>2.無線センサ用24GHz 発振器 昨年度、設計・試作が完了していた薄膜配線を44本並列に用いたインダクタを擁した24GHzの電圧制御発振器の評価を継続し、厚膜配線を用いた発振器とほぼ同等の位相雑音を得られる事が明確になり、その結果を9月の電子情報通信学会ソサイエティ大会および国際学会APMC (Asia-Pacific Microwave Conference)にて分担者の坂本君が発表を行った(右図)。この結果は世界中始めて、デジタルプロセスコンパクトな薄膜配線のプロセスを用いても24GHzの低位相雑音発振器が実現できることを示す事ができた。メタルサイズの更なる最適化については、現在も継続中であるが、電磁界シミュレーションの結果と測定値の差異が見いだされ、シミュレーション条件の最適化等で苦慮している。</p>					



※ 次ページに続く

<p>研究実績 の概要</p>	<p>3.広帯域通信器回路</p> <p>今年度は、二波同時受信広帯域通信器回路の中でトップの低雑音増幅器回路に関する研究を更に深耕した。</p> <p>今までに本研究室で研究してきた電流再利用型はチップ面積が大きいこと雑音指数が高いことが課題であったが、チップ面積の大きさに関しては、NMOS 側と PMOS 側のドレインインダクタを合体することにより面積を 30%程度縮小できることを確認できた。一方、雑音指数の低下に関しては、想定していた外付インダクタを用いる事による内部インダクタの寄与を抑える手法が最適とならず引き続き検討中である。</p> <p>もう一つの相互インダクタンスを用いた回路については、詳細評価結果を国際学会 APMC および電子回路研究会にて分担者の北野君が発表し、後者では、学会収集論文賞を受賞した。更に、このタイプの増幅器の根本的にもつ、利得偏差および雑音指数の改善について、前者に関しては出力整合回路に周波数特性を持たせることで、後者に関しては入力インダクタの一部を外付インダクタとして、内部に残した小さなインダクタンスで二帯域整合を得る事で改善できる可能性を見だし、その回路設計をおこなった。その結果、利得偏差は±1dB 程度に抑えることができ、雑音指数は従来例より 1~2dB 程度の改善を得た。今後、この手法をチップ試作、評価を通して検証していく予定である。</p>
<p>成果資料目録</p>	<p>[1] 北野大志, 小椋清孝, 森下賢幸, 伊藤信之, "二帯域整合回路を備えた同時受信低雑音増幅器に関する検討," 電気学会 電子回路研究会, ECT-17-106, pp.65-70, 呉, 2017 年 10 月 12 日.</p> <p>[2] 坂本裕太, 森下賢幸, 小椋清孝, 伊藤信之, "3 次元ストライプドインダクタを用いた 24 GHz 低位相雑音電圧制御発振器の検討," 2017 年電子情報通信学会ソサイエティ大会 C-12-7, 東京, 2017 年 9 月 14 日.</p> <p>[3] Y. Sakamoto, K. Komoku, T. Morishita, N. Itoh, "24 GHz Low-Phase-Noise VCO Using 3D-Striped Inductor Utilized Thin-Metal Layers," Proc. of the 2017 Asia-Pacific Microwave Conference, TH3-E, Kuala Lumpur, Nov. 2017.</p> <p>[4] T. Kitano, K. Komoku, T. Morishita, N. Itoh, "A CMOS LNA Equipped with Concurrent Dual-Band Matching Networks," Proc. of the 2017 Asia-Pacific Microwave Conference, WE2-B, Kuala Lumpur, Nov. 2017.</p>