

申請者	学科名	情報システム工学科	職名	助教	氏名	横川 智教 印
調査研究課題	Web サービス開発における設計間不整合の自動検出ツールの作成					
交付決定額	410,000 円					
調査研究組織	氏名	所属・職		専門分野	役割分担	
	代表	横川智教	情報工学部・助教	ソフトウェア工学		
	分担者					
調査研究実績の概要	<p>Web サービスは、Facebook や Twitter 等のソーシャルネットワーキングシステムや、Amazon や楽天等の電子商取引のように、Web を介して提供されるサービスの総称である。Web サービスの機能の多くは Web サーバ、ユーザ、データベースなどの構成要素間のデータおよびメッセージの通信によって実現される。Web サービスの開発を行う上では各構成要素間のメッセージ通信に加えて、メッセージ通信に伴う構成要素の振る舞いについても詳細な設計を行う必要がある。このとき、メッセージ通信と構成要素の振る舞いはそれぞれ異なる設計記法を用いて表現されることが一般的である。Web サービスの開発において、設計間の不整合は実装時やリリース後の不具合要因となるが、それを人手で完全に排除することは困難である。</p> <p>そこで本研究では、自動検証手法の一種であるモデル検査を用いることで、Web サービスの設計間における不整合の完全排除を実現することを目的とした調査研究を行う。</p> <p>Web サービスはメッセージ通信と構成要素の振る舞いによって表現されるが、これらの動作は、メッセージの受信によって引き起こされる離散的な状態変化と、時間の経過という連続的な状態変化へと大別される。離散的な状態変化は状態マシン図などを用いて記述され、連続的な状態変化は時間ペトリネットなどを用いて記述される。本年度は、状態マシン図と時間ペトリネットの形式的検証に関する調査研究を実施した。</p> <p style="text-align: right;">次頁に続く</p>					

<p>調査研究実績の概要</p>	<p>以下、本年度の調査研究実績について簡単に述べる。</p> <p>1. 時間ペトリネットを対象としたモデル検査の高速化に関する検討</p> <p>モデル検査では、対象システムを状態遷移系としてモデル化した上で、その状態空間を網羅的に探索することによってシステムが求める性質を満たすか否かを自動的に判定する。ここで、システムの状態数は要素数に対して指数的に増大するため、対象となるシステムの大規模化に伴って検査時間が爆発的に増加するという、状態爆発の問題に対処する必要がある。特に時間ペトリネットを扱う場合は、時間要素を十分な粒度で表現するために状態空間がさらに巨大化する。申請者は、モデル検査ツールUPPAALの利用を前提として、時間ペトリネットからUPPAALの入力モデルを生成するための手法を改良し、モデルサイズの削減を実現している。これにより、既存のツールと比して80%程度のサイズ削減を実現している。この成果は、2014年8月に開催された国際会議SEAA2014にて発表している[1].</p> <p>2. 時間ペトリネットの検証に対する有界モデル検査の導入に関する検討</p> <p>状態爆発に対する異なるアプローチとして、探索する遷移数を一定数に限定することで探索する状態数の増加を抑制する、有界モデル検査という手法が開発されている。中でも、求める状態への到達可能性を論理式として表現することにより、状態空間探索を論理式の充足可能性判定(SAT)問題へと帰着して解くSATベース有界モデル検査は、近年のSATソルバの改良によって高速な検証を実現している。申請者は、時間ペトリネットに対してSATベース有界モデル検査を適用するための新たな論理式表現法を開発しており、高速な検証が実現可能であることを示している。この成果は、電子情報通信学会の論文誌の一つであるElectronics Express (ELEX)へと投稿しており、2015年1月に掲載されている[2].</p> <p>3. モデル検査を用いた状態マシン図の検証を支援するツールの開発</p> <p>状態マシン図はWebサービスに限らず、組込みソフトウェアを始めとした様々なシステムの設計に利用される設計記法である。状態マシン図の形式的検証にモデル検査を利用する試みは数多く報告されているが、現場に導入可能なツールを開発した事例はほとんど報告されていなかった。申請者は、著名な記号モデル検査ツールであるNuSMVを用いた状態マシン図の検証を支援するためのツールを開発した。このツールはUMLモデリングツールastah* communityによって作成された状態マシン図を対象として、NuSMVの入力モデルを自動的に生成することが可能である。この成果は、IPA/SECが発行している論文誌であるSEC Journalへと投稿しており、2015年3月に掲載されている[3].</p> <p style="text-align: right;">(成果資料等があれば添付すること。)</p>
<p>成果資料目録</p>	<p>[1] T.Yokogawa, et al.:A translation method from Timed Petri Nets into compact Timed Automata, Euromicro SEAA 2014, 2014-08.</p> <p>[2] T.Yokogawa, et al.:Bounded model checking of Time Petri Nets using SAT solver, IEICE Electronics Express, Vol.12 (2015), No.2, pp.20141112, 2015-01.</p> <p>[3] 横川ほか:UMLによる組込みソフトウェア設計の検証支援環境の開発, SEC Journal, Vol.11. No.1, pp.10-17, 2015年3月.</p>